



石家莊鐵道大學
SHIJIAZHUANG TIEDAO UNIVERSITY

在线开放课程

数字量输入输出

异步串行I/O接口 标准简介

主讲：燕延

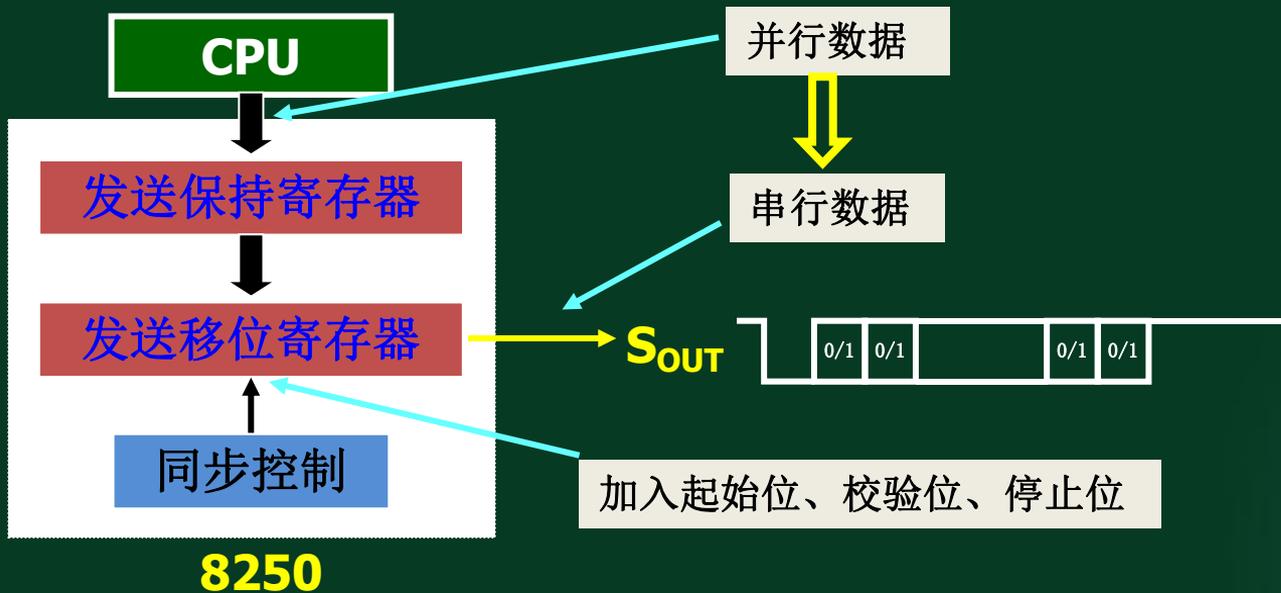
目录

串行接口芯片8250简介

可编程串行接口Ins 8250简介

- 8250实现了起止式串行异步通信协议，支持全双工通信：
 - ❑ 通信字符可选5、6、7、8位数据位
 - ❑ 停止位可选1、1.5、2位
 - ❑ 可选择奇校验、偶校验、不校验或校验位强制为“1” / “0”
 - ❑ 具有奇偶校验错、帧错和溢出等错错误检测电路
- 8250支持的数据传输速率为50~9600bps
- 8250内部有10个可寻址的8位寄存器，分为3类：数据类，控制类，状态类。

1. 串行数据的发送



- 双缓冲寄存器结构，保证数据的连续发送

3. 接收错误的处理

- **奇偶错误PE (Parity Error)**
 - 若接收到的字符的“1”的个数不符合奇偶校验要求
- **帧错误FE (Frame Error)**
 - 若接收到的字符格式不符合规定（如缺少停止位）
- **溢出错误OE (Overrun Error)**
 - 若接收移位寄存器接收到一个数据，并送至输入缓冲器时，CPU还未取走前一个数据，就会出现数据溢出
 - 若接收缓冲器的级数多，则溢出错误的几率就少

4. 8250的引脚

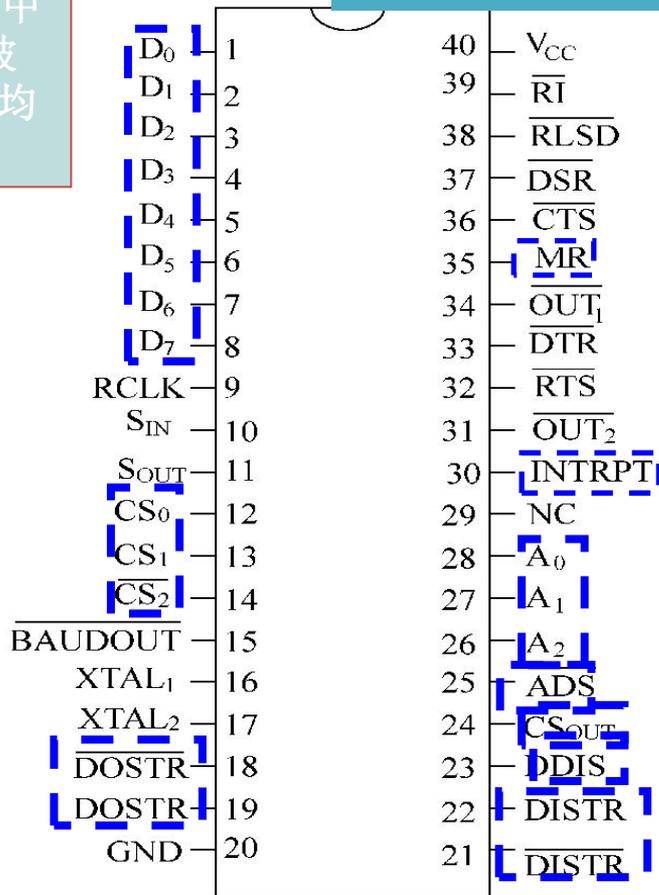
• 中断请求线**INTRPT**：8250有4级中断、共10个中断源，当任一个未被屏蔽的中断源有请求时，**INTRPT**均输出高电平向CPU请求中断。

• 地址选通信号**ADS**：当该信号低有效时，锁存上述地址线和片选线的输入状态，保证读写期间的地址稳定。

读控制线

数据输入选通**DISTR**（高有效）和**DISTR**（低有效）中一个驱动器禁止信号**DDIS**，CPU从8250内部寄存器读数据时，**DDIS**引脚输出低电平，用写控制线禁止外部收发器对系统总线数据输出选通**DOSTR**（其他时间有效）和**DOSTR**（低有效）中一个有效，CPU就将数据写入8250内部寄存器相当于I/O写信号

主复位线**MR**：硬件复位信号。



时钟信号

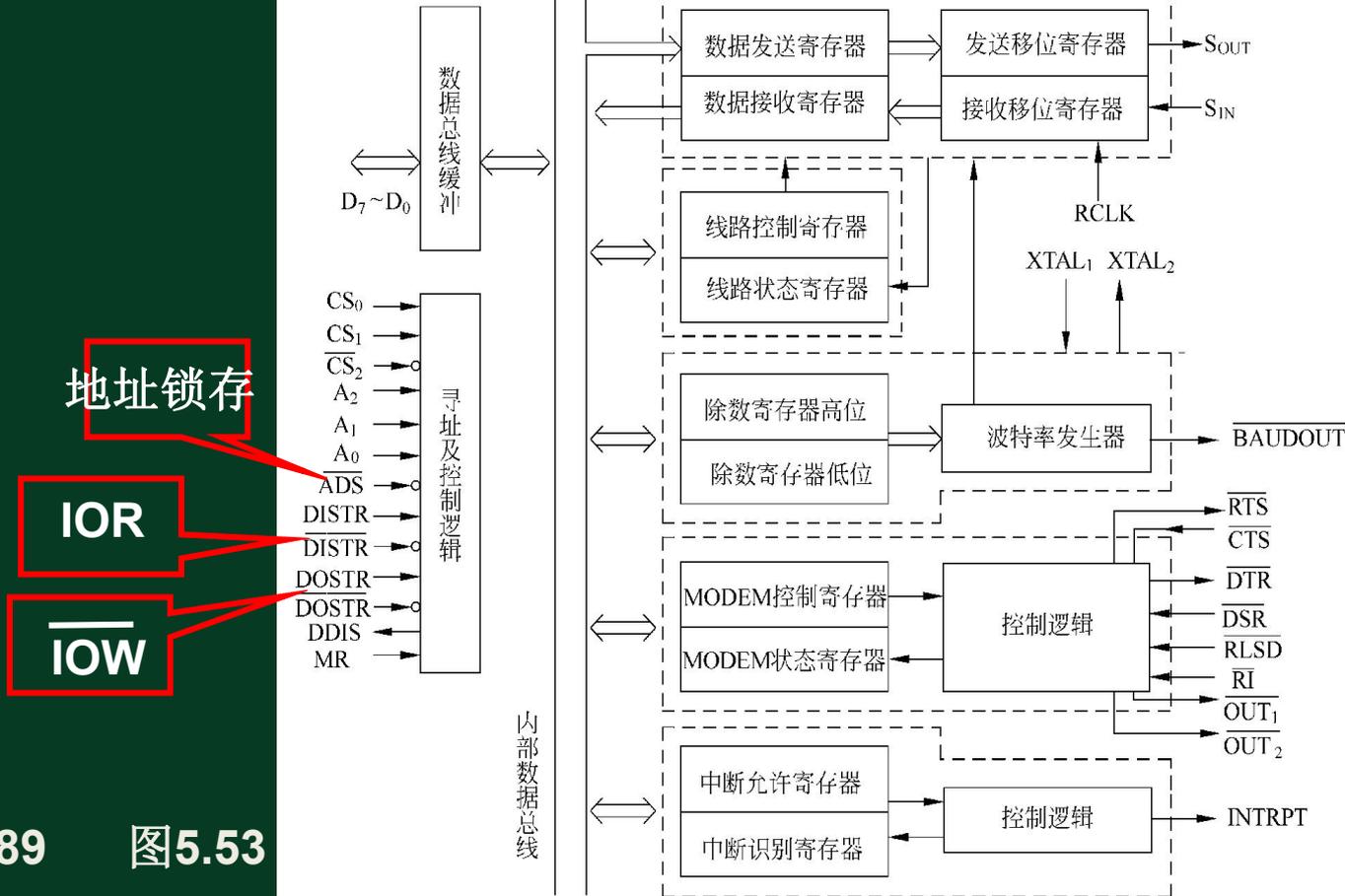
- 时钟输入引脚**XTAL1**：8250的基准工作时钟
- 时钟输出引脚**XTAL2**：基准时钟信号的输出端
- 波特率输出引脚**BAUDOUT**：基准时钟经8250内部波特率发生器分频后产生发送时钟
- 接收时钟引脚**RCLK**：接收外部提供的接收时钟信号。
- 若采用发送时钟作为接收时钟，则只要将**RCLK**引脚和**BAUDOUT**引脚直接相连

串行异步接口引脚



8250 9个信号的名称与RS232-C信号的名称稍有不同

可编程串行接口 Ins 8250 结构



本讲小结

串行接口芯片8250功能、结构、引脚简介

本讲小结

本讲介绍了异步串行I/O标准：RS232、RS485及20mA电流环等